

(5)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-054860

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

H05K 1/02

(21)Application number : 09-209035

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 04.08.1997

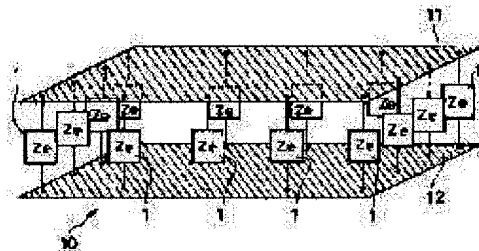
(72)Inventor : ARAGAKI HITOSHI  
UENO OSAMU  
IGUCHI DAISUKE

## (54) CIRCUIT BOARD UNIT AND ELECTRONIC EQUIPMENT

## (57)Abstract:

PROBLEM TO BE SOLVED: To stably reduce electromagnetic radiation which is caused by a power supply system on a circuit board used in information equipment and other electronic equipment but which cannot be suppressed by conventional protective measures against radiation by using a circuit board having a simple low-cost general-purpose structure.

SOLUTION: In a circuit board unit 10 having a power supply plane 11 and a grounding plane 12, loads 1 which combines the power supply plane 11 with the ground plane 12 are provided at intervals along the periphery of the board portion, wherein the power supply plane 11 with the ground plane 12 facing opposite each other, and an impedance  $Z_e$  of the load 1 is made smaller than an effective characteristics impedance  $Z_{eff}$  determined by the power supply plane 11 and the grounding plane 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-54860

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.<sup>8</sup>

H05K 1/02

識別記号

F I

H05K 1/02

N

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平9-209035

(22) 出願日 平成9年(1997) 8月4日

(71) 出願人 000005496

富士ゼロックス株式会社  
東京都港区赤坂二丁目17番22号

(72) 発明者 新垣 均

神奈川県足柄上郡中井町境430グリーンテ  
クなかい 富士ゼロックス株式会社内

(72) 発明者 上野 修

神奈川県足柄上郡中井町境430グリーンテ  
クなかい 富士ゼロックス株式会社内

(72) 発明者 井口 大介

神奈川県足柄上郡中井町境430グリーンテ  
クなかい 富士ゼロックス株式会社内

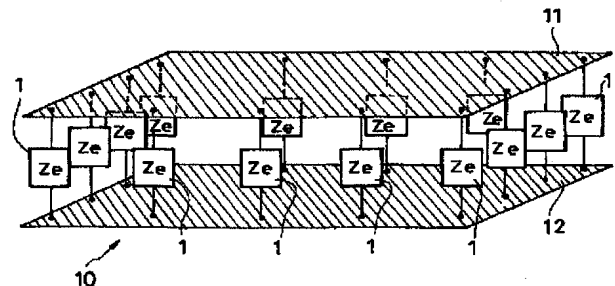
(74) 代理人 弁理士 阪本 清孝 (外1名)

(54) 【発明の名称】 回路基板装置及び電子機器

(57) 【要約】

【課題】 情報機器をはじめとする電子機器に用いられる回路基板において、簡単且つ汎用性のある低コストな構造により、従来なされている放射防止対策では抑制できない回路基板の電源系に起因する電磁放射を安定して低減させる。

【解決手段】 電源面11およびグランド面12とを有する回路基板装置10において、前記電源面と前記グランド面が対向する基板部分の周辺部に沿って、前記電源面と前記グランド面とを結合する負荷1を間隔をおいて備え、前記負荷1の有するインピーダンス $Z_e$ を、前記電源面およびグランド面によって定まる実効的な特性インピーダンス $Z_{eff}$ より小さく設定する。



## 【特許請求の範囲】

【請求項 1】電源面およびグランド面を有する回路基板装置において、

前記電源面と前記グランド面とが対向する基板部分の周辺部に沿って、前記電源面と前記グランド面とを結合する負荷を間隔をおいて備える一方、

前記負荷の有するインピーダンスが、前記電源面およびグランド面によって定まる実効的な特性インピーダンスより小さいことを特徴とする回路基板装置。

【請求項 2】前記負荷がコンデンサであり、このコンデンサの容量が 1 ナノファラッド以上である請求項 1 に記載の回路基板装置。

【請求項 3】前記コンデンサの有するインダクタンスおよび前記コンデンサと前記電源面およびグランド面との接合で発生するインダクタンスとの合計が 5 ナノヘンリー以下である請求項 2 に記載の回路基板装置。

【請求項 4】回路基板装置を使用した電子機器において、前記回路基板装置が請求項 1 に記載した回路基板装置であることを特徴とする電子機器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、情報機器をはじめとする電子機器に用いる回路基板装置、特に、電源面及びグランド面が多層に形成された回路基板における電磁放射を抑制するための回路基板装置の構造に関する。また、この回路基板装置を使用した情報機器などの電子機器に関する。

## 【0002】

【従来の技術】近年、様々な情報機器において、電磁波の不要輻射が問題となっている。そして、その電磁放射の主要なものが、回路基板上のクロックの高調波に相当する周波数スペクトルを有するため、これまで、その電磁放射は、主としてクロック信号やこれに同期したデジタル信号の信号線に起因するものと考えられ、そのため、回路基板上のプリント配線による信号線やこれと接続されたワイヤーハーネスなどに対して、様々な電磁放射防止対策がとられてきた。

【0003】具体的には、■クロック信号やデジタル信号などの信号に対して低域通過フィルタリング処理を行って必要な帯域のみを通過させる、■信号出力ラインにダンピング抵抗を付加して信号の立ち上がりおよび立ち下がりをなまらせる、■信号線の近傍にグランド電位のガードパターンを配置して帰還電流ループを小さくする、などが提案されている。

【0004】しかしながら、実際に回路基板で観測される電磁波は、信号線上の電流分布から予測されるものとは周波数分布が異なり、しかも信号線の性質と無関係に特定の周波数で鋭いピークを示すなどの特徴を有することが知られてきた。その結果、回路基板からの電磁放射

の主たる要因が、信号線ではなく電源系にあること、すなわち回路基板の電源面およびグランド面の電氣的共振に起因することが近年明らかになってきている。そして、従来の上述した回路基板上の信号線やこれと接続されたワイヤーハーネスなどに対する放射防止対策では、回路基板の電源系に起因する電磁放射に対して効果が発揮されないことは明らかである。

【0005】そこで、電源系に起因する電磁放射の抑制対策としては、回路基板の基板端でマッチングを取る構造などが提案されている（第 10 回 回路実装学術講演大会講演論文集第 175 頁「低 EMI 多層回路基板」参照）。この構造は、回路基板におけるグランド面を二層化して基板端で抵抗体により終端させるものであり、図 13 に示すように、電源面 101 の両面側において 2 層のグランド面 102、103 を形成し、そのグランド面 102、103 の端部においてグランド面間に抵抗体 104 を接続するとともに、電源面 101 とグランド面 102、103 との間の誘電体 105、106 の誘電率を変化させてマッチングを取ることににより、回路基板 100 の電源面 101 およびグランド面 102、103 の電氣的共振を抑制しようとするものである。

## 【0006】

【発明が解決しようとする課題】しかしながら、図 13 に示した構造によると、二層のグランド面 102、103 を形成して両者間に抵抗体 104 を接続し、電源面 101 とグランド面 102、103 との間の誘電体 105、106 の誘電率を変化させるなど、回路基板自体の構造を一般的なものに対して大幅に変更しなければならないという問題点があった。また、回路基板の大きさや形状の違いなどに応じて、個々の回路基板ごとに電磁放射を抑制するマッチング条件を設定しなければならないため、実際上の製品への適用は困難であり、適用できるとしても製造コストが著しく高くなるという問題点があった。

【0007】本発明は上記実情に鑑みてなされたもので、情報機器などの電子機器に用いられる回路基板において、回路基板の構造を一般的なものに対して変更することなく、且つ、回路基板の大きさや形状の違いなどに応じて個々の回路基板ごとに条件を設定する必要のない汎用性のある低コストな構造により、従来なされている放射防止対策では抑制できない回路基板の電源系に起因する電磁放射を安定して低減させることができる回路基板装置及びこの回路基板装置を使用した電子機器を提供することを目的とする。

## 【0008】

【課題を解決するための手段】上記目的を達成するため本発明（請求項 1）は、電源面およびグランド面を有する回路基板装置において、次の構成を含むことを特徴としている。前記電源面と前記グランド面とが対向する基板部分の周辺部に沿って、前記電源面と前記グランド面

漏洩電流を少なくするために、通常は、周波数ゼロ（直流）における負荷のインピーダンスは十分大きくなければならない。

【0022】このような条件を満足する負荷として、コンデンサを用いることが最も簡単である。しかし、コンデンサも容量成分の他にインダクタンス成分を有し、また、コンデンサから電源面及びグランド面までの配線やビアホール（コンタクト孔）にはインダクタンス成分があり、また、厳密には抵抗成分があるため、これらを含めて条件を満足させることが必要である。

【0023】負荷にコンデンサを用いた場合、次のような理由で本発明の効果は更に増大する。すなわち、基板周辺にコンデンサを配置すると、コンデンサによる位相条件の変化で放射ノイズのピーク周波数が高周波側にシフトする。放射ノイズの元となる電圧ノイズスペクトルは一般に高周波ほど強度が小さいため、ピーク周波数が高周波側にシフトすると放射強度が減少する。

【0024】通常の基板構成における代表的な値として、コンデンサの容量が1000 pF（ピコファラッド）（=1 nF（ナノファラッド））以上であることが望ましく、回路基板装置での優れた電磁放射の抑制効果を発揮させることができる。

【0025】また、電磁放射の抑制に適するため、前記コンデンサの有するインダクタンスおよび前記コンデンサと電源面およびグランド面との接合で発生するインダクタンスとの合計（全インダクタンス）が5 nH（ナノヘンリー）以下であることが望ましい。

【0026】また当然のことながら本発明の効果を得るには、上記のような周波数的に非線型な条件を満足すれば良いのであって、負荷はコンデンサに限定されるものではない。また、本発明は $Z_e < Z_{eff}$ なる不等号を周辺部の一部（複数の特定部）で満足すればよいのに対し、従来技術によるマッチングを取る方法では $Z_e = Z_{eff}$ なる等号を周辺部全てで満足する必要がある。従って、本発明は、従来技術に比較して、設計の自由度、効果の安定性、製造のコストの点で優れている。

【0027】本発明の回路基板装置の更に具体的な例として、基板端部の負荷としてコンデンサを使用した構造について、図3及び図4を参照しながら説明する。図3は回路基板装置の概略構成を示すものであり、図4は回路基板装置のコンデンサ接続部分における断面説明図である。

【0028】回路基板装置10は、例えば図4に示すように4層配線基板で構成され、平面状をなす電源面11およびグランド面12、配線パターンが形成されているパターン層13及びパターン層14を有している。電源面11とグランド面12の間等の各層間には、誘電体層15が配置されている。この回路基板装置において、図3に示すように、平面状の電源面11とグランド面12が対向している基板部分の周辺部に沿って、電源面11

とグランド面12とを接続するためのコンデンサ16が複数個配置されている。これら各コンデンサ16は基板上の周囲に間隔をあけて配置され、各コンデンサ16の両端部は、図4に示すように、基板上に形成された接続用配線17及び基板を穿孔するビアホール18により電源面11に接続し、接続用配線19及びビアホール20によりグランド面12にそれぞれ接続されている。

【0029】なお、図4では模式的に接続用配線17、19を設けているが、後述するインダクタンス条件を満足させるには、接続用配線はできるだけ短くし、理想的にはこの配線無くしてビアホール上に直接コンデンサを配置するなどの構造により、インダクタンスを小さくするのが好ましい。

【0030】そして、各コンデンサ16を接続したことにより生じる負荷のインピーダンス $Z_e$ （コンデンサ16自体のインピーダンスに加え、コンデンサ16を電源面11およびグランド面12に接続する際に生ずるインピーダンスをも含めたもの）と、電源面11及びグランド面12により定まる実効的な特性インピーダンス $Z_{eff}$ との間には、 $Z_e < Z_{eff}$ なる関係が成立している。電源面11及びグランド面12により定まる実効的な特性インピーダンス $Z_{eff}$ は、前記した式1で定義されるものである。

【0031】次に、基板端部の負荷として接続するコンデンサ16の容量値について、実験により検討する。回路基板装置10における電源面11とグランド面12との距離が0.8 mmの正方形基板（基板サイズ414 mm×414 mm）において、ノイズ電流が一方向のみに発生する条件において、ノイズ電流が反射する基板辺に9個のコンデンサ16を接続したときの放射強度の変化を測定した。コンデンサが無いとき、電源面11およびグランド面12に起因する周波数170 MHzをピークとする放射が観測された。放射の最大強度をプロットすると図5のようになり、コンデンサ容量が100 [pF]では放射は減少しないが、容量1000 [pF]（1 [nF]）以上では放射強度が大きく減少した。

【0032】ここで、実験で使用した回路基板装置10の実効特性インピーダンス $Z_{eff}$ を上述した式1を使って求める。基板の実効的な幅 $W_{eff}$ は基板の大きさや接続する負荷の種類によって異なるが、上述の実験に使用した回路基板装置10においては、基板の実効的な幅 $W_{eff} = 2.5$  [mm]（基板の実効的な幅 $W_{eff}$ の算出方法については後述する）、面間距離 $h = 0.8$  [mm]、電源面及びグランド面間の誘電体の比誘導率 $\epsilon$ が4.7であるので基板の実効特性インピーダンスは5.6 [ $\Omega$ ]となる。一方、周波数170 MHzにおけるコンデンサ16のインピーダンス $Z_e$ は、容量100 pFにおいて9  $\Omega$ 、容量1000 pFにおいて0.9  $\Omega$ となる。従って、図5の結果は $Z_e > Z_{eff}$ では放射は減少しないが、 $Z_e < Z_{eff}$ では放射が減少するということを示してい

る。(なお、容量1000pF以上では放射ピークは170MHzより高周波側にシフトしているが、シフト量はコンデンサの数によって変化して一義的に決まらないため、一義的に決まる値であるコンデンサが無いときのピーク周波数170MHzと比較した。)

【0033】次に、負荷の全インダクタンス $L$ (コンデンサ16の有するインダクタンスおよびコンデンサ16と電源面11およびグランド面12との接合で発生するインダクタンスとの合計)の値について検討する。電源面11とグランド面12との間には、コンデンサ16の有するインダクタンス( $L_{int}$ )の他に、ビアホール18、20で発生するインダクタンス( $L_{via}$ )、接続用配線17、19で発生するインダクタンス( $L_{pat}$ )が存在する。すなわち、回路基板装置10の電源面11とグランド面12との間にコンデンサ16を取り付けた場合、図6のように、コンデンサ16の容量 $C$ のみではなく、付随したインダクタンスの和 $L$ (全インダクタンス $L=L_{int}+L_{via}+L_{pat}$ )がコンデンサ16の容量 $C$ に直列に存在している。

【0034】負荷として接続するコンデンサ16の容量が0.1[ $\mu$ F](マイクロファラッド)である場合に、負荷の全インダクタンス $L$ (コンデンサの有するインダクタンスおよびコンデンサと電源面およびグランド面との接合で発生するインダクタンスとの合計)を変化させた場合の放射の変化を検討する。インダクタンスの微妙な変化を実験することは難しいので、計算によって放射強度を求めた。計算結果は図7のようになり、全インダクタンス $L$ が5[nH]以下になると電磁放射強度 $E$ が減少した。

【0035】また、基板の共振周波数である170[MHz]における負荷のインピーダンス $Z_e$ を求めると、コンデンサ容量0.1[ $\mu$ F]、全インダクタンス $L=5$ [nH]のとき $Z_e$ は5.3[ $\Omega$ ]となる。基板の実効特性インピーダンス $Z_{eff}$ は5.6[ $\Omega$ ]であるので、図7においても、 $Z_e < Z_{eff}$ で電磁放射が減少するというを示している。

【0036】次に、基板の実効的な幅 $W_{eff}$ の算出方法について説明する。図8は、回路基板装置10の基板の一边の前記コンデンサ密度と電磁放射の抑圧効果との関係の測定結果を示したものである。図8から明らかなように基板の一边につき、コンデンサを400mm当り8個以上、すなわちコンデンサ50mm間隔以下で配置すれば電磁放射の抑制効果が得られる。上記回路基板装置の構造による電磁放射の抑制効果は、高周波における短絡端と開放端が交互に存在してはじめて達成されるため、効果が現れた50mmの2分の1である25mmが負荷から見た基板の実効的な幅 $W_{eff}$ であるとした。

【0037】また、実効的な幅 $W_{eff}$ の求め方の他例として、伝送線路の実効特性インピーダンスを線路幅に対してプロットしたとき、インピーダンスの減少がほぼ飽

和したと見なせるときの線路幅を実効的な幅 $W_{eff}$ と考えることができる。この考え方を採用すると、上記した例の場合、実効的な幅 $W_{eff}$ は20mm前後である。

【0038】次に、上記回路基板装置の構造により達成される電磁放射の抑制効果について説明する。まず、電源面11とグランド面12とが対向する基板部分の端部に負荷を配置していない場合に、電源面およびグランド面上に共振電流が発生することについて説明する。回路基板装置10に、意図的にまたは意図せず存在してしまう高周波電流源(例えば、ディジタルICなどの能動素子など)により生ずる電流が、電源面11とグランド面12が対向する基板部分の端部で開放端反射することにより、電源面11上およびグランド面12上の対向する基板部分に電流の定在波が発生する。

【0039】発生した電流の定在波は、図9に示すように、電源面11とグランド面12が対向する基板部分の、電氣的共振電流の方向であるX軸方向またはY軸方向における幅 $W$ を波長 $\lambda$ の1/2とし、周波数が $f=c/(2W\sqrt{\epsilon})$ の基本波 $S_1$ に対して(ただし、 $c$ は光速、 $\epsilon$ は基板材料(誘電体15)の比誘電率である。)、2次高調波 $S_2$ 、3次高調波 $S_3$ などの整数次高調波が合成されたもので、回路基板に固有の共振条件によって、X軸方向もしくはY軸方向の定在波、またはその両方が発生する。また、この定在波は固定端反射をして生ずるので、端部で電流の節を持つ定在波になっている。

【0040】上記構造の回路基板装置10によれば、上述した作用で説明したように、実効特性インピーダンス $Z_{eff}$ の伝送路と見なせる電源面11およびグランド面12に $Z_e < Z_{eff}$ なる負荷(インピーダンス $Z_e$ は、負荷素子自体のインピーダンスに加え、負荷素子を電源面11およびグランド面12に接続する際に生ずるインピーダンスをも含めたもの)を接続したとき、負荷部は短絡端として作用する。その一方、負荷の無い部分はインピーダンスが大きい開放端として作用する。したがって、負荷が複数個存在すると基板周辺において短絡端及び開放端が複数混在して存在することになり(図2)、端部における反射条件が乱れて均一な共振電流の発生が抑制され、電磁放射強度が減少することになる。

【0041】上述したように、電源面11とグランド面12が対向する回路基板10部分の端部に負荷素子としてコンデンサ16を配置すると、電磁放射強度が低下することが示されたが、コンデンサ16に付随する全インダクタンス $L$ が増加し、電源面11とグランド面12が対向する基板部分の端部のインピーダンスが増加すると、電磁放射強度が十分に低下しなくなる。

【0042】すなわち、全インダクタンス $L$ が増加し $Z_e > Z_{eff}$ となると、電源面とグランド面が対向する基板部分の端部のインピーダンスが増加するので、対向部端部間のコンデンサによる短絡効果が弱くなり、電源面お

とを結合する負荷を間隔をおいて備えている。そして、前記負荷の有するインピーダンスが、前記電源面およびグランド面によって定まる実効的な特性インピーダンスより小さく設定されるようになっている。

【0009】請求項2の発明は、請求項1に記載の回路基板装置において、前記負荷がコンデンサであり、このコンデンサの容量が1ナノファラッド以上であることを特徴としている。これは、回路基板装置での優れた電磁放射の抑制効果を発揮させるためには、コンデンサの容量が1ナノファラッド以上であることが適しているからである。

【0010】請求項3の発明は、更なる電磁放射の抑制効果を図るため、請求項2に記載の回路基板装置において、前記コンデンサの有するインダクタンスおよび前記コンデンサと前記電源面およびグランド面との接合で発生するインダクタンスとの合計が5ナノヘンリー以下であることを特徴としている。

【0011】また、請求項4の発明は、回路基板装置を使用した電子機器において、前記回路基板装置が請求項1に記載した回路基板装置であることを特徴としている。

【0012】請求項1における基板部分の周辺部に備えられる負荷とは、使用する素子自体のインピーダンスに加え、素子を電源面およびグランド面に接続する際に生ずるインピーダンスをも含めたものを意味している。また、一般に負荷のインピーダンスは周波数の関数となるが、本発明の負荷のインピーダンス $Z_e$ は、電磁ノイズ放射、特に電源面およびグランド面からの放射が発生する周波数におけるインピーダンスを意味している。

【0013】一方、請求項1における電源面及びグランド面の実効的な特性インピーダンスは、次のように定義される。電源面およびグランド面を流れるノイズ電流は、電源面およびグランド面があたかも伝送線路となっているかのように振る舞うと考えられる。このとき、電源面およびグランド面を伝送線路と見立てた時の実効的な特性インピーダンスを本発明における「実効的な特性インピーダンス $Z_{eff}$ 」と定義する。具体的には、電源面及びグランド面が実効的な幅 $W_{eff}$ を有する平行平板からなる伝送線路と等価であると考えられるとき、平行平板伝送線路の特性インピーダンスを算出する式1で表わされる量を実効特性インピーダンス $Z_{eff}$ として取り扱う。

【0014】

【式1】  $Z_{eff} = (377 / \sqrt{\epsilon}) \cdot (h / W_{eff})$

【0015】式中、 $h$ は電源面及びグランド面間の距離、 $\epsilon$ は電源面及びグランド面間に存在する誘電体の比誘電率である。また、 $W_{eff}$ は平行平板の伝送線路と考えた場合の基板の実効的な幅であり、回路基板装置における基板の大きさや接続する負荷の種類によって異なる値となる。

【0016】

【発明の実施の形態】本発明の回路基板装置の実施の形態の一例について、図1及び図2を参照しながら説明する。図1は回路基板装置の概略構成を示すものであり、図2は回路基板装置において、電源面およびグランド面上での電流の反射を模式的に説明するためのものである。

【0017】回路基板装置10は、図1に示すように、一定間隔を存しさせて対面するように配置された電源面11およびグランド面12を有し、電源面11とグランド面12間には誘電体が配置されている。この回路基板装置において、電源面11とグランド面12が対向する周辺部に沿って、電源面11とグランド面12との間に負荷1が複数個配置されている。これらの負荷1は、対向する周辺部に配置された負荷同士がそれぞれ相対向するように位置している。そして、負荷の有するインピーダンス $Z_e$ が、電源面及びグランド面により定まる実効的な特性インピーダンス $Z_{eff}$ に対して、 $Z_e < Z_{eff}$ なる関係を満足している。

【0018】負荷のインピーダンス $Z_e$ は、使用する負荷素子自体のインピーダンスに加え、素子を電源面およびグランド面に接続する際に生ずるインピーダンスをも含めたものである。また、実効的な特性インピーダンス $Z_{eff}$ は、前述した式1により算出されるものである。

【0019】次に、 $Z_e < Z_{eff}$ なる関係を満足するインピーダンス $Z_e$ の負荷が電源面及びグランド面の対向する基板周辺部に複数個配置されることによる作用について説明する。前述したように、電源面およびグランド面は、ノイズ電流に対して実効的な特性インピーダンス $Z_{eff}$ （実効特性インピーダンス $Z_{eff}$ ）を有する伝送線路のように作用する。一方、有限長の伝送線路で、線路の特性インピーダンスより終端負荷のインピーダンスが小さいときは、負荷をインピーダンスの値に対応した長さの線路に置き換え、終端を短絡した線路に置き換えて考えることができる（「分布定数回路論」（コロナ社）29頁参照）。

【0020】このことから、実効特性インピーダンス $Z_{eff}$ の伝送路と見なせる電源面およびグランド面に $Z_e$ （ $Z_e < Z_{eff}$ ）なる負荷を接続したとき、負荷部は短絡端として作用する。これに対し負荷の無い部分はインピーダンスが大きいため開放端として作用する。従って、負荷が間隔をおいて複数個存在すると基板周辺において短絡端および開放端が複数混在して存在することになり（図2）、端部における反射条件が乱れて均一な共振電流の発生が抑制され、電磁放射強度が減少する。

【0021】なお、放射が問題となる周波数において、負荷のインピーダンス $Z_e$ が実効特性インピーダンス $Z_{eff}$ より小さいことが本発明の条件であるが、実際には、更に、電源面として機能するための条件は当然満足しなければならない。すなわち、電源電位を確保し、かつ、

よびグラウンド面上の電流の共振が弱まらず、電磁放射強度も低下しなくなる。

【0043】また、全インダクタンス $L$ が増加すると、共振ピーク周波数がノイズ電圧の高い低周波側にシフトしてしまう。図10は、全インダクタンス $L$ とピーク周波数の関係をシミュレーションにより明らかにしたものである（辺長414mm角、層間距離0.8mm、容量0.1マイクロファラッドのコンデンサを18個取り付けた例）。図10から明らかなように、コンデンサに付随する全インダクタンス $L$ が増加すると、電磁放射ピーク周波数が低下していく。一方、デジタルICのスイッチングノイズ電圧は一般に低周波ほど大きくなるため、ピーク周波数の低下は電源面およびグラウンド面上のノイズ電圧の増加を生じさせ、従って、電磁ノイズ放射強度の増加を招く結果となる。

【0044】以上のことから、コンデンサ16に付随する全インダクタンス成分を減少させて、実効特性インピーダンス $Z_{eff}$ に対して負荷インピーダンス $Z_e$ を小さくする（ $Z_e < Z_{eff}$ を成立させる）ことが必要であり、この条件が電磁放射強度の低下を図るための要件となる。

【0045】次に、回路基板装置10において、電源面11とグラウンド面12の大きさが異なる場合について、本発明を適用する場合を説明する。このような場合、図11に示すように、グラウンド面12に対して電源面11の面積が小さく対向していない部分が発生している場合にも、電源面11とグラウンド面12の対向している部分の周辺部（電源面11の周辺部）に負荷1を配置することにより電源面11とグラウンド面12との接続を行なう。この場合においても、各負荷のインピーダンス $Z_e$ と、電源面11およびグラウンド面12の実効特性インピーダンス $Z_{eff}$ とは、 $Z_e < Z_{eff}$ が成立するように設定されている。

【0046】回路基板装置10の電源面が複数部分に分割されている場合、すべての電源面とグラウンド面の対向する部分の周辺部に負荷を配置して、電源面とグラウンド面との接続を行なう。すなわち、図12に示すように、二つの電源面11a、11bの周辺部に各負荷1を配置してグラウンド面11と接続するようにする。この場合においても、各負荷のインピーダンス $Z_e$ と、各電源面11a、11bおよびグラウンド面12の各実効特性インピーダンス $Z_{eff}$ とが、 $Z_e < Z_{eff}$ の関係を成立させるように設定されている。

【0047】上述した各例においては、電源面とグラウンド面とを結合する負荷は、電源面とグラウンド面とが対向する部分の周辺部の全てに配置しているが、周辺部の特定位置のみに配置する構造であってもよい。例えば、面形状やデジタルICの位置から特定方向のノイズ電流の発生が明らかな場合には、この電流に直交する周辺のみを負荷を配置しても上述した電磁放射の抑制効果を発揮させることができる。

【0048】また、上述した各例においては、電源面とグラウンド面が対向する面の周辺部において、一辺当り複数個の負荷を間隔をおいて配置することにより、基板周囲に短絡端と開放端とを混在させるように構成したが、05 基板の一辺の長さが $2W_{eff}$ 程度と短い場合には、一辺当り一個の負荷でも短絡端と開放端とを混在させることができ、上述した電磁放射の抑制効果を発揮させることができる。

【0049】上記構造の回路基板装置によれば、電源面11およびグラウンド面12の周囲に負荷1（コンデンサ16）を間隔をおいて配置することにより電磁放射を抑制10 できるので、基板の大きさや形状の違いなどに応じて個々の条件を設定する必要がなく、汎用性のある低コストな構造で効果を発揮させることができる。

【0050】また、上述したような構造の回路基板装置を情報機器等の電子機器に使用するようにすれば、電子機器における電磁放射の抑制を図ることができる。

【0051】

【発明の効果】本発明によれば、回路基板装置において、20 実効特性インピーダンス $Z_{eff}$ の伝送路と見なせる電源面およびグラウンド面に $Z_e < Z_{eff}$ なる負荷を接続することにより、この部分が短絡端として作用し、負荷の無い部分はインピーダンスが大きいため開放端として作用するので、基板周辺において短絡端及び開放端が複数混在して存在させることができ、25 端部における反射条件が乱れて均一な共振電流の発生が抑制され、電磁放射強度を減少させることができる。

【0052】従って、回路基板の構造を一般的なものに対して変更する必要がなく、しかも基板の大きさや形状の違いなどに応じて個々の条件を設定する必要がない、汎用性のある低コストな構造により、回路基板装置における電源面およびグラウンド面に起因する電磁放射を容易に且つ大幅に抑制することができる。

【図面の簡単な説明】

35 【図1】本発明に係る回路基板装置の概略構成を示す構成説明図である。

【図2】回路基板装置において、電源面およびグラウンド面上での電流の反射を模式的に説明するための構成説明図である。

40 【図3】本発明の回路基板装置において、負荷としてコンデンサを接続した例の概略構成を示す構成説明図である。

【図4】図3の回路基板装置のコンデンサ接続部分の構造を示す断面説明図である。

45 【図5】回路基板装置において、コンデンサ容量と電磁放射ピーク強度との関係を示すグラフ図である。

【図6】回路基板装置において、コンデンサを取り付ける際に生じるインダクタンス成分を表す回路図である。

50 【図7】回路基板装置において、コンデンサの全インダクタンス成分と電磁放射ピーク強度との関係を示すグラフ図である。

フ図である。

【図 8】回路基板装置において、基板端コンデンサ密度と電磁放射ピーク強度との関係を示すグラフ図である。

【図 9】回路基板装置において、電源面およびグランド面上に生じる定在波を説明するための模式図である。

【図 10】コンデンサの全インダクタンス成分と電磁放射ピーク周波数との関係を示すグラフ図である。

【図 11】本発明の実施の形態の他の例を示す平面説明図である。

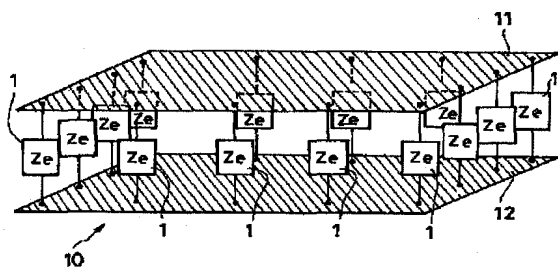
【図 12】本発明の実施の形態の他の例を示す平面説明図である。

【図 13】従来の回路基板装置の構造を示す断面説明図である。

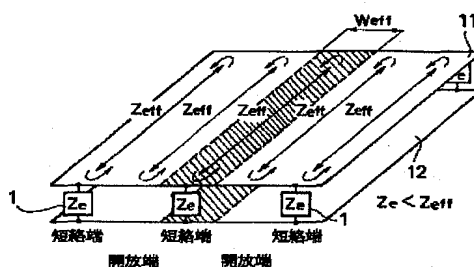
05 【符号の説明】

1…負荷、 10…回路基板装置、 11…電源面、  
12…グランド面、13、14…配線パターン層、 1  
5…誘電体、 16…コンデンサ、 17、19…接続  
用配線、 18、20…ビアホール

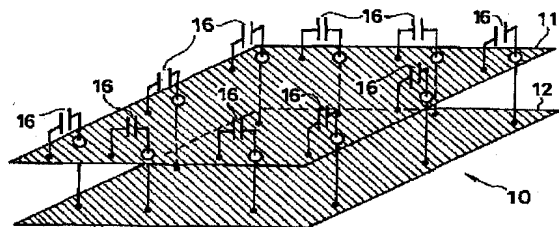
【図 1】



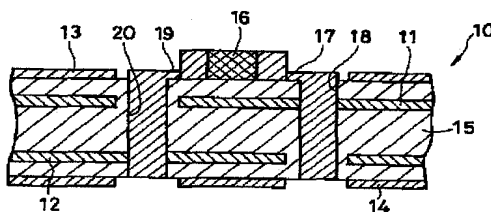
【図 2】



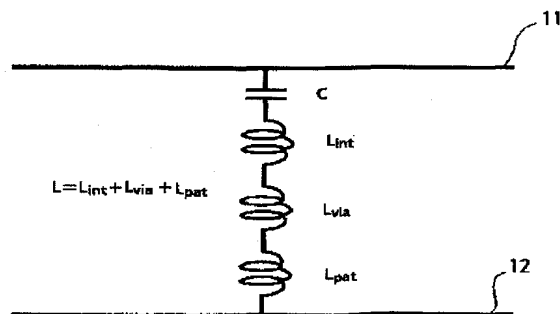
【図 3】



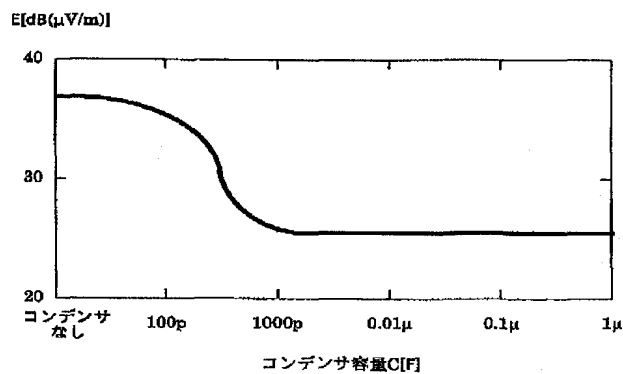
【図 4】



【図 6】

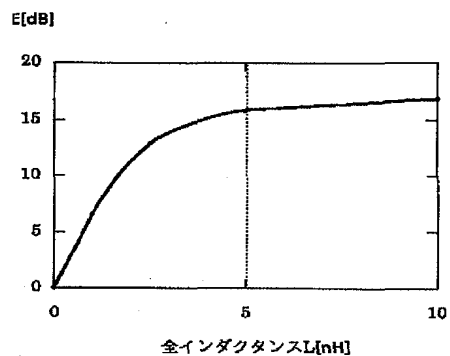


【図 5】

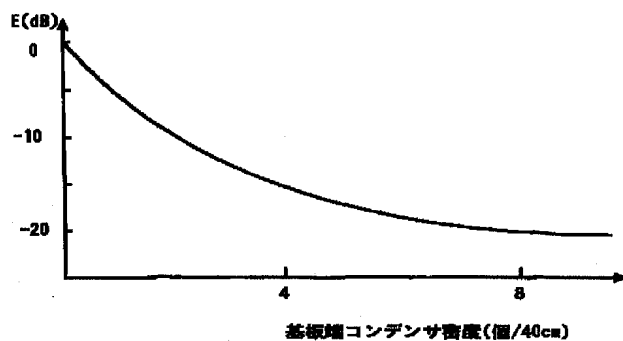




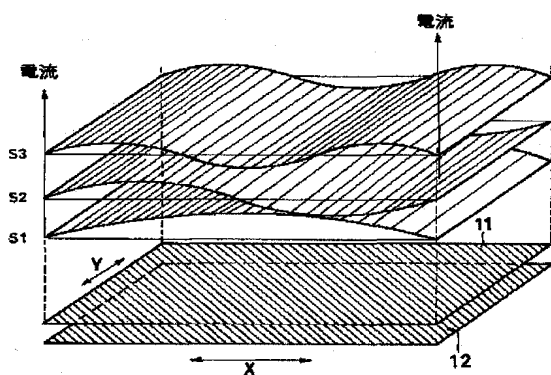
【図 7】



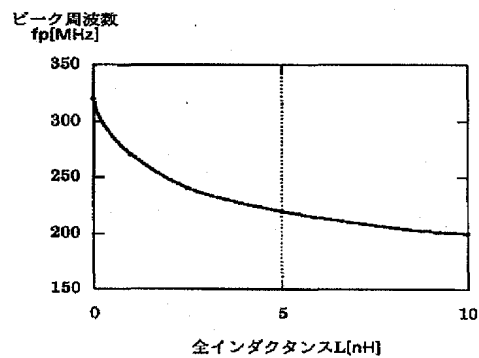
【図 8】



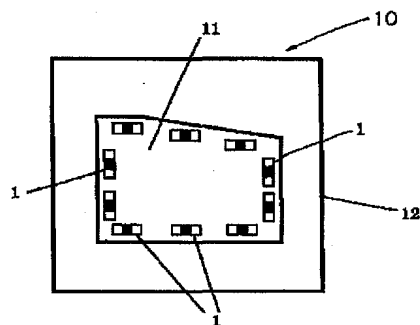
【図 9】



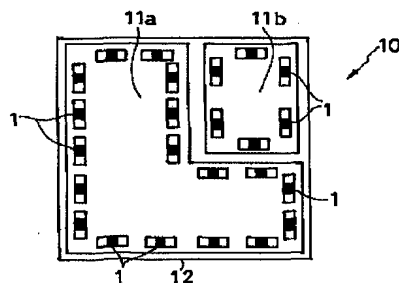
【図 10】



【図 11】



【図 12】



【図 1 3】

